

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-203812

(P2002-203812A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テグコード (参考)
H 0 1 L 21/285	3 0 1	H 0 1 L 21/285	C 4 K 0 3 0
C 2 3 C 16/08		C 2 3 C 16/08	3 0 1 R 4 M 1 0 4
16/18		16/18	5 F 0 3 3
16/34		16/34	5 F 0 8 3

審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2001-1019(P2001-1019)

(22) 出願日 平成13年1月9日 (2001.1.9)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 塚本 和宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100093562

弁理士 児玉 俊英 (外3名)

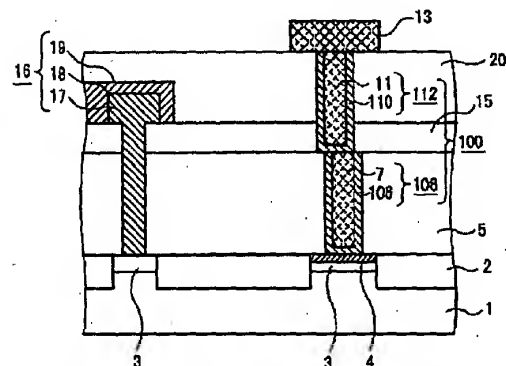
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 常に安定した良好な電気特性を有するスタック構造のコンタクトホール部を備えた半導体装置を提供する。

【解決手段】 半導体基板1上のコバルトシリサイド膜4上の第1の層間絶縁膜5をエッチングして、無機CVD法によるバリアメタル膜106、更にタングステン膜7を堆積して第1のWプラグ108を形成する。その後、第2の層間絶縁膜15を形成し、キャパシタ16を形成する。その後、第3の層間絶縁膜20を形成し、第3の層間絶縁膜20中に有機CVD法によるバリアメタル膜110、更にタングステン膜11を堆積して第2のWプラグ112を形成する。



11: タングステン膜  
100: スタック構造のコンタクトホール部  
110: バリアメタル膜  
112: 第2のWプラグ

## 【特許請求の範囲】

【請求項1】 半導体基板上に層間絶縁膜を形成し、上記層間絶縁膜中にバリア金属膜とタングステン膜とからなる複数のプラグを複数段連結してなるスタック構造のコンタクトホール部を形成する半導体装置の製造方法において、

上記複数のプラグのバリア金属膜を各段毎に無機CVD法または有機CVD法のいずれかを選択して形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 複数のプラグの内、最下段のプラグのバリア金属膜を無機CVD法で形成するようにしたことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 複数のプラグの内、500℃以上の熱処理を受けるプラグのバリア金属膜を無機CVD法で形成するようにしたことを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 500℃以上の熱処理工程は、キャパシタ形成工程であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 複数のプラグの内、500℃未満で形成するプラグのバリア金属膜を有機CVD法で形成するようにしたことを特徴とする請求項1ないし請求項5のいずれかに記載の半導体装置の製造方法。

【請求項6】 半導体基板上の所望の領域に形成された金属シリサイド膜と、上記金属シリサイド膜を覆うように形成された層間絶縁膜中にバリア金属膜とタングステン膜とからなる複数のプラグを複数段連結してなるスタック構造のコンタクトホール部を備えた半導体装置において、上記複数のプラグの内、上記金属シリサイド膜または上記半導体基板上に設けられた最下段のプラグのバリア金属膜の膜厚が2段目以上のプラグのバリア金属膜の膜厚より厚いことを特徴とする半導体装置。

【請求項7】 バリア金属膜はTi膜とTiN膜とからなり、金属シリサイド膜上の最下段のプラグのTi膜の膜厚が2段目以上のプラグのTi膜の膜厚より厚いことを特徴とする請求項6に記載の半導体装置。

【請求項8】 バリア金属膜はTi膜とTiN膜とからなり、半導体基板上の最下段のプラグのTiN膜の膜厚が2段目以上のプラグのTiN膜の膜厚より厚いことを特徴とする請求項6に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は半導体装置およびその製造方法に関し、特にスタック構造を有するコンタクトホールの構造およびその形成方法に関するものである。

## 【0002】

【従来の技術】 近年、半導体装置の微細化、高集積化に伴い、コンタクトホール径の縮小化が進み、コンタクトホールのアスペクト比が増大している。これにより、一

度のエッチングと一度のホール内への埋込みによる一段のプラグ形成では、コンタクトホール部の形成が非常に難しいものとなってきた。これを解決するものとして、2段以上のプラグからなるスタック構造のコンタクトホールが考えられている。

【0003】 図5(a)(b)は従来のスタック構造のコンタクトホール部を示す断面図である。図5(a)(b)において、1は半導体基板、2は素子分離領域、3は半導体基板1とは逆導電型の導電層、4はコバルトシリサイド膜、5は層間絶縁膜、6はバリア金属膜、7はタングステン膜、8はバリア金属膜6およびタングステン膜7からなる第1のWプラグ、15、20は層間絶縁膜、10はバリア金属膜、11はタングステン膜、12はバリア金属膜10およびタングステン膜11からなり、第1のプラグ8と接続されている第2のWプラグ、13は第2のWプラグ12上に形成された配線層である。

【0004】 さらに、9はアルミ合金やCu等で形成される配線層、17はストレージノード、18はキャパシタの誘電膜、19はキャパシタ上部電極、16はストレージノード17とキャパシタ誘電膜18とキャパシタ上部電極19とからなるキャパシタであり、配線層9やキャパシタ16はWプラグ8、12と前後して形成される。

## 【0005】

【発明が解決しようとする課題】 従来のスタック構造のコンタクトホール部は以上のようにあり、種々の素子が混載されている半導体装置では、図5(a)に示すように、キャパシタ形成工程といった高温の熱処理工程をプラグ形成後に行なう場合があり、この場合、プラグは耐熱性の高いものでなくてはならないという問題点があった。

【0006】 また、図5(b)に示すように、配線層などのアルミ合金等の成膜後にプラグを形成する場合に、プラグの形成温度を高くできないという問題点があった。

【0007】 更に、プラグの下層はコバルトシリサイド、タングステン、シリコン等の種々の材料で形成されており、プラグがコンタクトをとる下地の材料に応じてコンタクト抵抗が変化し、安定したコンタクト抵抗が得られないという問題点があった。

【0008】 この発明は上記のような問題点を解消するためになされたもので、コンタクトホール内のプラグが、プラグ形成時の条件に応じて形成でき、コンタクトホールの下地が変化しても良好なコンタクト抵抗が得られ、常に安定した良好な電気特性を有するスタック型のコンタクトホールの構造およびその製造方法を提供することを目的としている。

## 【0009】

【課題を解決するための手段】 この発明の請求項1に係

る半導体装置の製造方法は、複数のプラグのバリアメタル膜を各段毎に無機CVD法または有機CVD法のいずれかを選択して形成するようにしたものである。

【0010】この発明の請求項2に係る半導体装置の製造方法は、複数のプラグの内、最下段のプラグのバリアメタル膜を無機CVD法で形成するようにしたものである。

【0011】この発明の請求項3に係る半導体装置の製造方法は、複数のプラグの内、500℃以上の熱処理を受けるプラグのバリアメタル膜を無機CVD法で形成する 10 ようにしたものである。

【0012】この発明の請求項4に係る半導体装置の製造方法は、500℃以上の熱処理工程は、キャパシタ形成工程であるようにしたものである。

【0013】この発明の請求項5に係る半導体装置の製造方法は、複数のプラグの内、500℃未満で形成するプラグのバリアメタル膜を有機CVD法で形成するようにしたものである。

【0014】この発明の請求項6に係る半導体装置は、複数のプラグの内、金属シリサイド膜または半導体基板上に設けられた最下段のプラグのバリアメタル膜の膜厚が2段目以上のプラグのバリアメタル膜の膜厚より厚い 20 ものである。

【0015】この発明の請求項7に係る半導体装置は、バリアメタル膜はTi膜とTiN膜とからなり、金属シリサイド膜上の最下段のプラグのTi膜の膜厚が2段目以上のプラグのTi膜の膜厚より厚いものである。

【0016】この発明の請求項8に係る半導体装置は、バリアメタル膜はTi膜とTiN膜とからなり、半導体基板上の最下段のプラグのTiN膜の膜厚が2段目以上 30 のプラグのTiN膜の膜厚より厚いものである。

【0017】

【発明の実施の形態】実施の形態1. 図1～図3はこの発明の実施の形態1のスタック構造のコンタクトホール部の製造方法を示す工程断面図であり、DRAMセルとロジックを混載した半導体装置にスタック構造のコンタクトホール部を形成したものである。図に従って順次説明を行なう。

【0018】まず、図1(a)に示すように、半導体基板1に素子分離領域2を形成した後、半導体基板1と逆導電型の導電層3を形成し、ロジック形成領域の導電層3上にコバルトシリサイド膜4を形成する。その後、全面にCVD法により第1の層間絶縁膜5を形成し、コバルトシリサイド膜4上の第1の層間絶縁膜5をエッチング除去して第1のコンタクトホール14を形成する。

【0019】次に、図1(b)に示すように、第1のコンタクトホール14を含む全面に、400～600℃でTiCl<sub>4</sub>を用いた無機CVD法によりバリアメタル膜106となるTi膜とTiN膜とを順次堆積し、続いて、全面にWF<sub>6</sub>を用いたCVD法によりタングステン 50

膜7を堆積する。その後、CMP研磨により第1の層間絶縁膜5上のバリアメタル膜106とタングステン膜7とを除去して第1のコンタクトホール14内に第1のWプラグ108を形成する。

【0020】次に、図2(a)に示すように、全面にCVD法により第2の層間絶縁膜15を形成する。DRAMセル形成領域の第1の層間絶縁膜5と第2の層間絶縁膜15との一部をエッチング除去して、リンを含む多結晶シリコンを堆積しストレージノード17を形成する。次に、キャパシタの誘電膜18として、700～750℃でCVD法によりSiN膜を形成した後、800℃以上の酸化雰囲気中で熱処理を行ないSiN膜上に酸化膜を形成する。さらに、リンを含む多結晶シリコンを堆積しキャパシタ上部電極19を形成して、キャパシタ16を完成させる。

【0021】このとき、第1のWプラグ108はバリアメタル膜106を無機CVD法で形成していることから耐熱性が高く、第1のWプラグ108形成後に行なわれるキャパシタ16の形成時の高温熱処理に対しても十分な信頼性を保つことができる。

【0022】次に、図2(b)に示すように、CVD法により第3の層間絶縁膜20を堆積する。その後、第3の層間絶縁膜20の一部をエッチング除去して第1のWプラグ108と接続するための第2のコンタクトホール21を形成する。

【0023】最後に、図3に示すように、第2のコンタクトホール21を含む全面に、200～400℃でTi膜の有機金属ソースを用いた有機金属CVD法、例えばTDMAATによりバリアメタル膜110となるTi膜とTiN膜とを順次堆積し、続いて、全面にWF<sub>6</sub>を用いたCVD法によりタングステン膜11を堆積する。その後、CMP研磨により第3の層間絶縁膜20上のバリアメタル膜110とタングステン膜11とを除去して第2のコンタクトホール21内に第2のWプラグ112を形成する。これにより、第1のWプラグ108と第2Wプラグ112とからなるスタック構造のコンタクトホール部100が完成する。その後、第2のWプラグ112上にAl合金からなる配線層13を形成する。

【0024】この時、第2のWプラグ112形成後には高温の熱処理工程を経ることがないので、無機CVD法によるバリアメタル膜ではなく、有機金属CVD法によるバリアメタル膜110を用いて形成している。この有機金属CVD法によるバリアメタル膜110は200～400℃といった低温で形成することができるので、他のデバイスに与える影響が少なくて済む。

【0025】よって、AlやCuといった耐熱性の低い金属による配線層などを形成した後に、プラグを形成する場合など、バリアメタル膜を形成温度の高い無機CVD法ではなく、形成温度の低い有機金属CVD法で形成しているため、配線層に影響を生じることはない。

【0026】したがって、プラグ形成後に500℃以上の熱処理が与えられる場合には、バリアメタル膜を無機CVD法で形成し、プラグ形成時の温度を低く抑える必要がある場合にはバリアメタル膜を有機金属CVD法で形成すればよい。

【0027】このように、スタック構造のコンタクトホールの場合、形成するプラグの諸条件に応じて、バリアメタル膜の形成方法を選ぶようにすれば、常に安定したコンタクト抵抗が得られ、良好な電気特性の得られるスタック構造のコンタクトホール部を形成することが

できる。

【0028】また、ここでは2段のプラグによるスタック構造のコンタクトホール部について説明したが、3段以上のプラグによるスタック構造のコンタクトホール部においても同様の効果が得られるのは言うまでもない。

【0029】実施の形態2、図4は実施の形態2のスタック構造のコンタクトホール部を示す断面図である。図4において、1は半導体基板、2は素子分離領域、3は半導体基板1とは逆導電型の導電層、4はコバルトシリサイド膜、5は第1の層間絶縁膜、206はTi膜201とTiN膜202からなるバリアメタル膜、7はタングステン膜、208はバリアメタル膜206およびタングステン膜7からなる第1のWプラグ、15は第2の層間絶縁膜、210はTi膜203とTiN膜204からなるバリアメタル膜、11はタングステン膜、212はバリアメタル膜210およびタングステン膜11からなり、第1のWプラグ208と接続されている第2のWプラグ、200は第1のWプラグ208と第2Wプラグ212とからなるスタック構造のコンタクトホール部、13は第2のWプラグ212上に形成された配線層である。

【0030】図4を参照して、第1のWプラグ208の下層は導電層3上のコバルトシリサイド膜4であり、第2のWプラグ212の下層は第1のWプラグ208のタングステン膜である。一般に、バリアメタル膜を構成するTi膜は抵抗を低くするために出来るだけ薄く形成する必要がある。

【0031】しかし、コバルトシリサイド膜とTi膜とでは界面で反応が起こり界面抵抗が不安定になる。このことは、特にWプラグ形成後に800℃以上の熱処理工程を経る場合には顕著なものとなる。従って、安定したコンタクト抵抗を得るためには、コバルトシリサイド膜上のプラグはタングステン膜上のプラグに比べてバリアメタル膜を構成しているTi膜の膜厚を厚く形成する必要がある。

【0032】この場合、第1のWプラグ208のTi膜201の膜厚は第2のWプラグ212のTi膜203の膜厚に比べて厚く形成しており、これにより安定したコンタクト抵抗を得ることができる。

【0033】また、ここでは半導体基板1上にコバルトシリサイド膜4を形成した場合について説明したが、コバルトシリサイド膜4を形成しないで半導体基板1に直接コンタクトホールを形成する場合も考えられる。この場合、第1のWプラグ208の下層はシリコンとなる。

【0034】そして、タングステン膜7形成時に半導体基板1をアタックしない様にバリアメタル膜206を構成しているTiN膜202の膜厚は第2のWプラグ212のバリアメタル膜210を構成しているTiN膜204の膜厚よりも厚く形成する必要がある。

【0035】また、2段目以上のWプラグに関しては、下層は常にタングステン膜であるので、薄いバリアメタル膜であっても安定したコンタクト抵抗を得ることができる。しかし、最下層である1段目のWプラグに関しては、導電層上のシリサイドに限らず、トランジスタのゲート電極、シリコン基板など様々であるが、常に安定したスタック構造のコンタクトホール部のコンタクト抵抗を得ることができる。

【0036】

【発明の効果】以上のようにこの発明によれば、複数のプラグのバリアメタル膜を各段毎に無機CVD法または有機CVD法のいずれかを選択して形成するようにしたので、半導体装置の製造工程に応じて適切なプラグを形成でき、常に安定したコンタクト抵抗が得られ、良好な電気特性の得られるスタック構造のコンタクトホール部を形成することができる。

【0037】また、複数のプラグの内、最下段のプラグのバリアメタル膜を無機CVD法で形成するようにしたので、その後の高温熱処理に対して充分な信頼性を有するスタック構造のコンタクトホール部を形成できる。

【0038】また、複数のプラグの内、500℃以上の熱処理を受けるプラグのバリアメタル膜を無機CVD法で形成するようにしたので、耐熱性の高いプラグを形成でき、良好な電気特性の得られるスタック構造のコンタクトホール部を形成できる。

【0039】また、500℃以上の熱処理工程は、キャパシタ形成工程であるようにしたので、DRAM混載の半導体装置において信頼性の高いスタック構造のコンタクトホール部を形成できる。

【0040】また、複数のプラグの内、500℃未満で形成するプラグのバリアメタル膜を有機CVD法で形成するようにしたので、他のデバイスや金属配線層に与える影響が少なく済み、信頼性の高いスタック構造のコンタクトホール部を形成できる。

【0041】さらに、複数のプラグの内、金属シリサイド膜または半導体基板上に設けられた最下段のプラグのバリアメタル膜の膜厚が2段目以上のプラグのバリアメタル膜の膜厚より厚いので、安定したコンタクト抵抗の得られるスタック構造のコンタクトホール部を得られる。

【0042】また、バリア金属膜はTi膜とTiN膜とからなり、金属シリサイド膜上の最下段のプラグのTi膜の膜厚が2段目以上のプラグのTi膜の膜厚より厚いので、金属シリサイド膜とTi膜との界面抵抗が安定したコンタクトホール部が得られる。

【0043】また、バリア金属膜はTi膜とTiN膜とからなり、半導体基板上の最下段のプラグのTiN膜の膜厚が2段目以上のプラグのTiN膜の膜厚より厚いので、タングステン膜形成時における半導体基板の損傷が防止できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1のスタック構造のコンタクトホール部の製造方法を示す工程断面図である。

【図2】 この発明の実施の形態1のスタック構造のコンタクトホール部の製造方法を示す工程断面図である。

\*

\*【図3】 この発明の実施の形態1のスタック構造のコンタクトホール部の製造方法を示す工程断面図である。

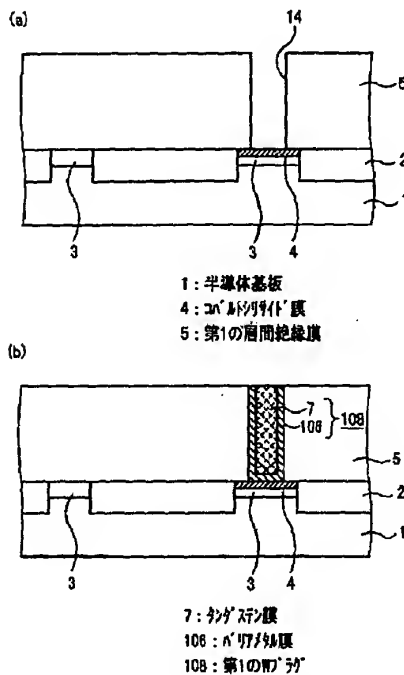
【図4】 この発明の実施の形態2のスタック構造のコンタクトホール部の製造方法を示す工程断面図である。

【図5】 従来のスタック構造のコンタクトホール部を示す断面図である。

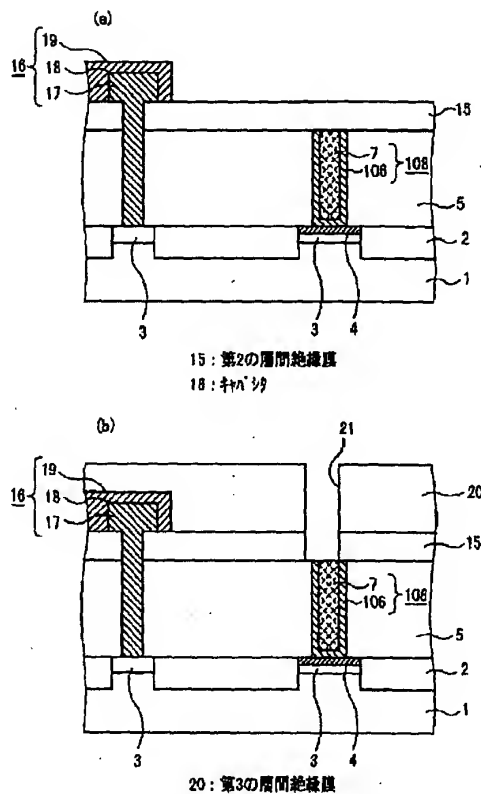
【符号の説明】

- 10 1 半導体基板、4 コバルトシリサイド膜、5 第1の層間絶縁膜、7、11 タングステン膜、15 第2の層間絶縁膜、20 第3の層間絶縁膜、100、200 スタック構造のコンタクトホール部、106、110、206、210 バリア金属膜、108、112、208、212 プラグ、201、203 Ti膜、202、204 TiN膜。

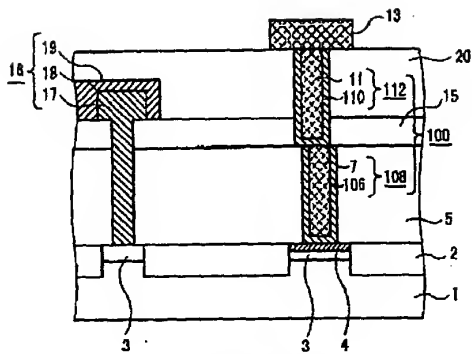
【図1】



【図2】

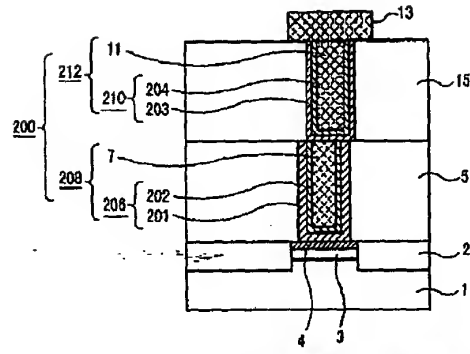


【図3】



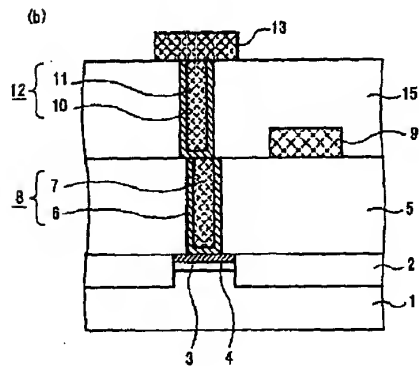
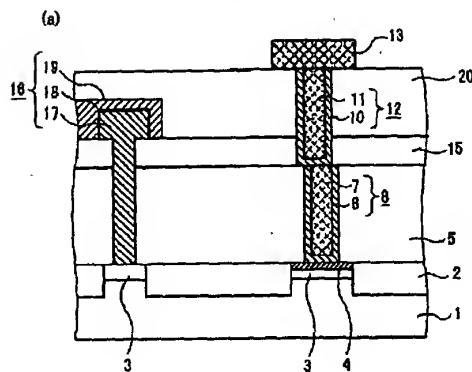
11: 導体層  
100: スタック構造のコンタクト部  
110: n型半導体層  
112: 第2の導体層

【図4】



200: スタック構造のコンタクト部  
201, 203: Ti膜  
202, 204: TiN膜  
208, 210: n型半導体層  
208: 第1の導体層  
212: 第2の導体層

【図5】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

タームコード (参考)

H 0 1 L 21/768

H 0 1 L 21/90

C

27/108

27/10

6 2 1 B

21/8242

F ターム (参考) 4K030 AA03 AA11 BA18 BA38 BB12

CA04 CA12 DA09 JA01

4M104 AA01 BB20 DD06 DD43 DD45

DD79 EE08 EE17 FF13 FF17

FF18 FF22 GG16 GG19 HH16

HH18

5F033 HH04 HH09 HH11 JJ18 JJ19

JJ25 JJ33 KK01 KK18 KK19

KK33 NN06 NN07 NN20 PP06

PP11 QQ09 QQ10 QQ37 QQ48

QQ71 RR06 WW10 WW16 XX04

XX09

5F083 AD42 GA02 GA29 JA04 JA32

JA39 JA40 MA05 MA06 MA19

PR21 PR33 PR40 ZA12